

[1] 設計者姓名及聯絡電話

不可將老師名字及學校名稱列出!!

學生姓名：張小明

聯絡電話：0912345678、03-5773693 # 999

[2] 專題名稱

中文專題名稱：25GHz 低功率 CMOS 差動振盪器

英文專題名稱：A 25GHz Current Reused Differential Oscillator

[3] 全新設計或改版說明

說明：此項目請用以下三種分類進行選擇並做相關說明：

(1)設計者全新設計；(2)修改設計者過去已經完成之設計；(3)採用他人設計，進行改善；

一若此設計屬於(1)設計者全新設計，不是對已存在之設計進行改版，請於此項目註明”此案件為設計者全新設計”；

一若此設計屬於(2)修改設計者過去已經完成之設計或(3)採用他人設計，進行改善，請於[4]全新設計或改版說明項目註明”此案件為修改設計者過去已經完成之設計”或”此案件為採用他人設計，進行改善”，並說明為何需要進行改版下線，過去下線版本的規格與量測結果，以及說明此次改版的內容有哪些、改善了哪些規格……等資訊(若之前版本量測結果非正常動作，則需分析探討晶片不能正常動作的原因)以利於審查時爭取較好之成績。

”此案件為修改設計者過去已經完成之設計”，相關說明如下：此案件曾經於T18-100C梯次進行下線，經過量測後得到震盪頻率較低(約20GHz)，無法達到規格需求(24.5GHZ)，故需要修改設計後再次進行下線以達到規格。

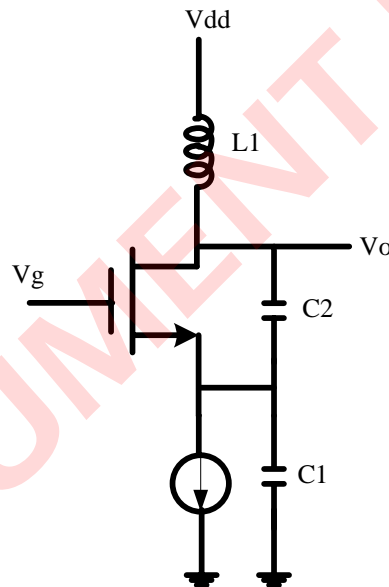
探究T18-100C梯次之晶片量測結果後確認震盪頻率較低的原因為……所造成的，此次設計於……進行改善，修改了……，並於模擬時加入……等相關變數可能造成的影響以降低模擬與量測的差異，除此之外，並將各元件Size與整體布局進行最佳化，使得功率消耗可以更降低，晶片面積也更小。T18-100C晶片與此次設計案規格比較如下表：

Parameter	T18-100C 晶片	This work
Result	Measurement	Post-sim(tt)
Process	0.18um	0.18um
Power Supply (V)	2	2
Total Current (mA)	1.24	1.17
Power Dissipation (mW)	2.48	2.34
Oscillator Frequency (GHz)	20.7	24.15
Phase Noise (dBc/Hz@1MHz)	-108.2	-108.2
Output Power (dBm)	-8	-6.5
Chip size (mm ²)	0.55 x 0.8	0.477 x 0.742

[4] 原理及架構說明

在振盪器決定了提供本地振盪的效能，在傳統 CMOS 振盪器電路設計上 …

如圖一(a)，因為電晶體之汲極電流等於 $(-I_x/SC_I) g_m \dots$

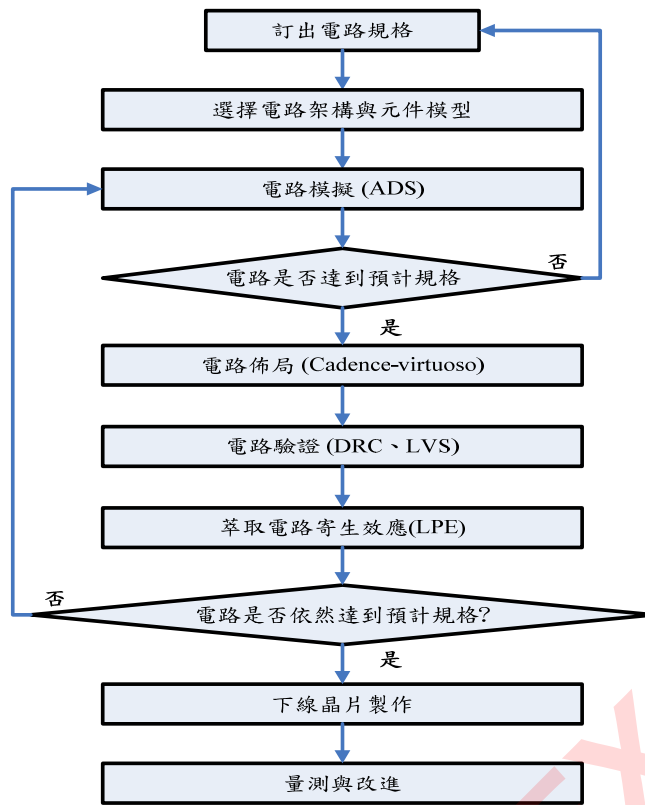


圖一 (a) NMOS Colpitts 振盪器

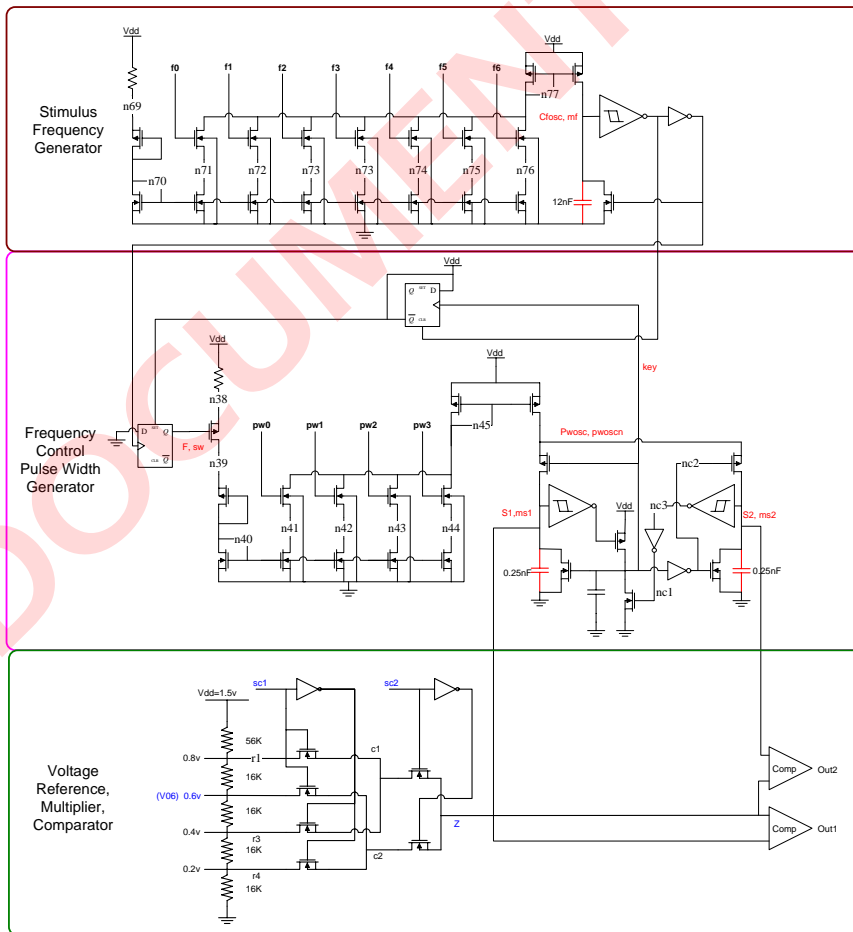
[5] 設計流程

請以圖示或文字說明設計流程即可。

範例：



[6] 電路詳圖

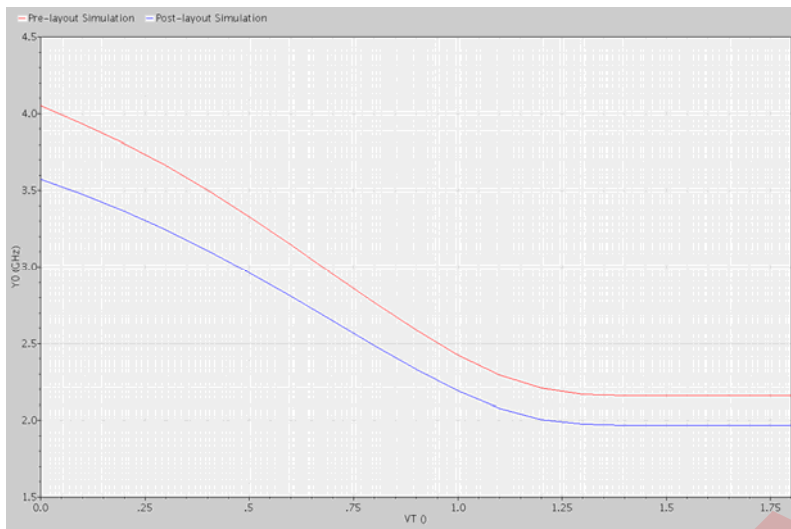


全電路圖

[7] 模擬結果

請列出 Pre-layout simulation 和 Post-layout simulation 的比較結果。

例一：（曲線重疊）



例二：（以兩張圖表示）

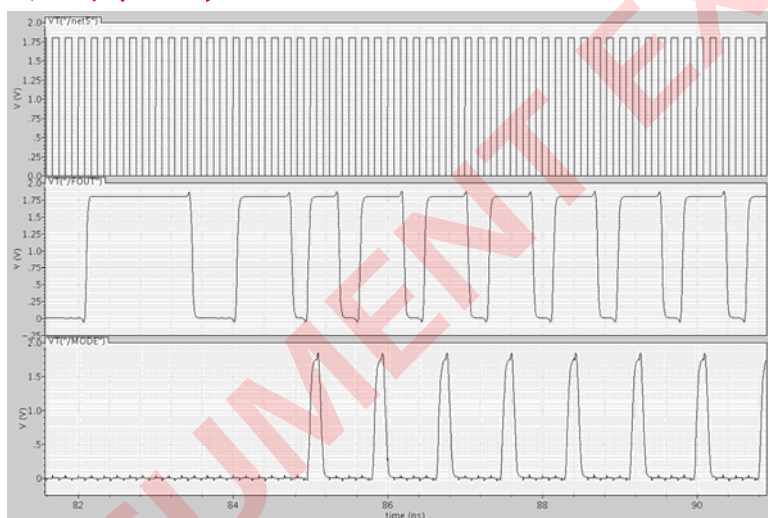


Fig.1 (a) Pre-layout Simulation



Fig.1 (b) Post-layout Simulation

例三：（以表格顯示）

Corner Case simulation

RF Corner	FF	TT	SS
Oscillator Frequency (GHz)	24.15	24.15	24.15
Phase Noise (dBc/Hz@1MHz)	-108.8	-108.2	-108.7
Output Power (dBm)	-6.5(GHz)	-6.5(GHz)	-6.6(GHz)

[8] 量測考量

請以圖示及文字說明儀器架設方式，不需表明在何處進行量測工作

[9] 佈局驗證結果錯誤說明

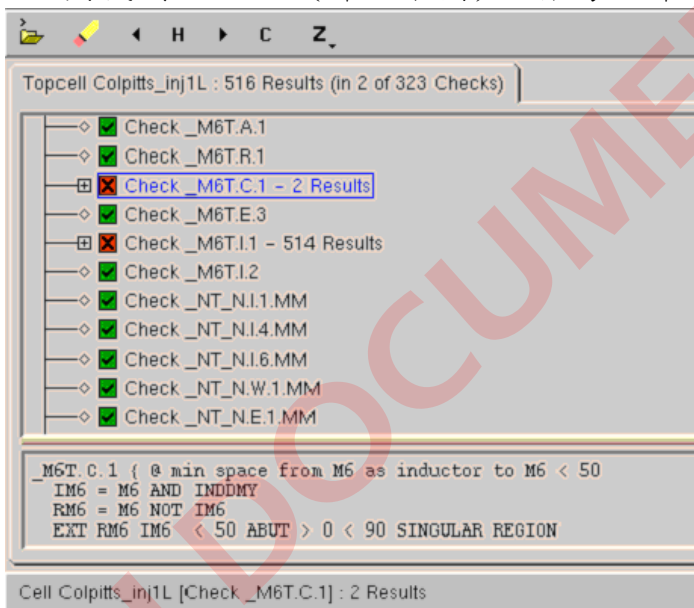
結果只需列出錯誤說明!!如果驗證結果無誤，請以DRC-OK及LVS-OK等字眼表明即可

勿將drc. results、drc. summary、lvs. report內容貼至於此

範例：

(A)DRC驗證結果：

共找到2個錯誤(詳如下圖)且皆為允許之DRC假錯



(B)LVS驗證結果：

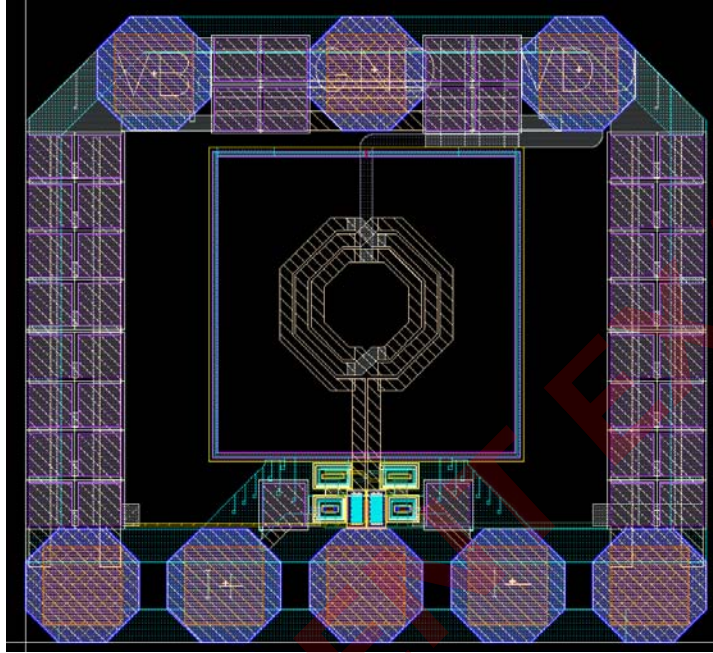
LVS-OK

[10] 佈局平面圖

請確保上傳的gds檔晶片和此佈局照片是相同的!!

否則一律不接受申請晶片申請!!

Chip Size : 0.477 x 0.742 mm²
Transistor/Gate Count : 4Transistors
Power Dissipation : 2.36mW
Max. Frequency : 2.5GHz



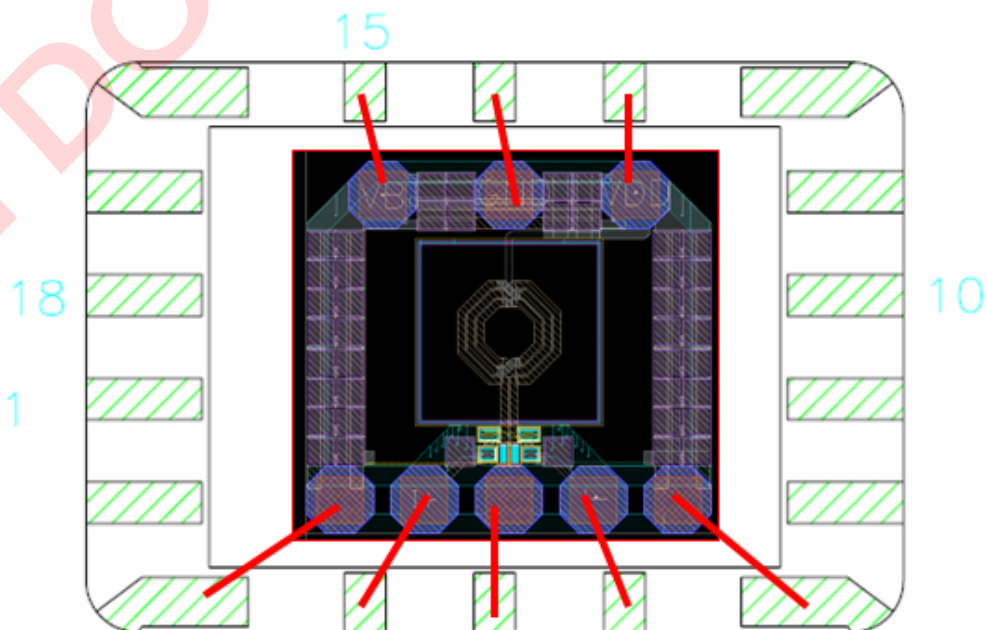
LAYOUT 圖

[11] 打線圖

選擇不包裝之申請者請註明!!(不需打線)

範例：

SB18



打線圖

[12] 預計規格列表

請務必將 **Specification**、Pre-layout simulation 和 Post-layout simulation 結果以表列方式來呈現!!

範例：

Specification	Spec.	Pre-sim(tt)	Post-sim(tt)
Power Supply (V)	2	2	
Total Current (mA)	<1.2	1.18	
Power Dissipation (mW)	<2.4	2.36	
Oscillator Frequency (GHz)	=24.5	24.53	24.15
Phase Noise (dBc/Hz@1MHz)	<-100	-106.3	-108.2
Output Power (dBm)	>-8	-7.6	-6.5
Chip size (mm ²)	<0.5x0.8	0.477 x 0.742	

[13] 參考文獻

- [1] Ming-Da Tsai, "A 5-GHz Low Phase Noise Differential Colpitts CMOS VCO", IEEE MICROWAVE AND WIRELESS COMPONENTS LETTERS, VOL. 15, NO. 5, MAY 2005.